

Ресивер с цифровой обработкой сигнала

(Продолжение. Начало см. «РХ» №1/2004, с.55-62)

Дмитрий Харций, г.Запорожье

Блок ЦСП

Данный блок является собственно тем ядром, вокруг которого «выросли» все остальные блоки усилителя. Собственно все прелести данного устройства (имеется ввиду обработка звука) сконцентрированы в одной микросхеме - AD1954 [1]. Для начала рассмотрим блок-схему данной микросхемы - **рис. 13**.

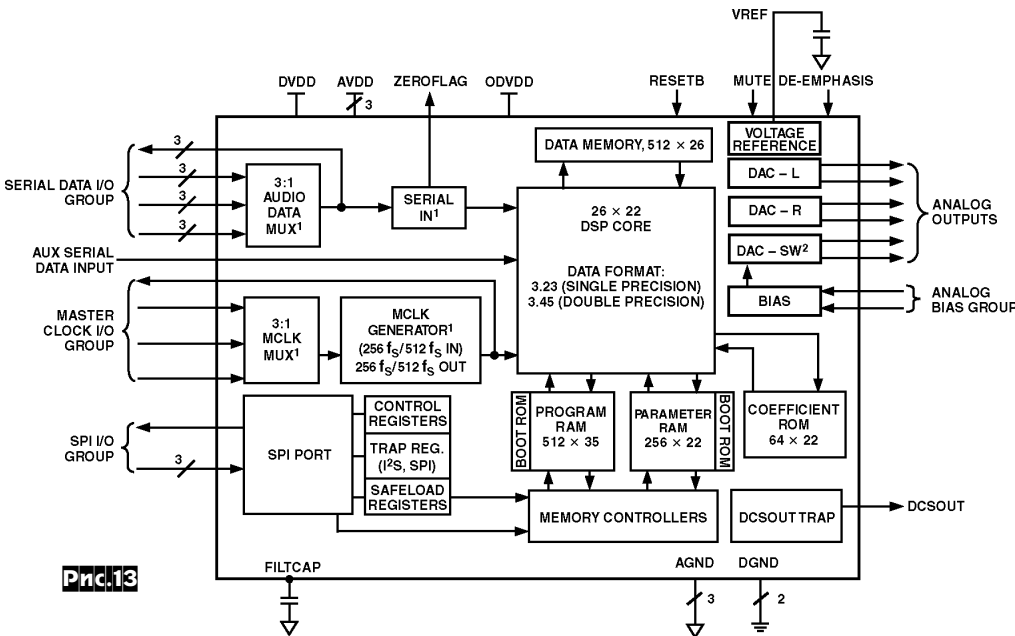


Рис.13

Микросхема имеет коммутатор трех источников цифровых аудиоданных (AUDIO DATA MUX). Сигнал выбранного источника без обработки подается на цифровой выход (SDATAOUT) и на вход ядра ЦСП (DSP CORE). Путь сигнала в ЦСП мы рассмотрим ниже. После обработки цифровой сигнал преобразуется в аналоговый тремя ЦАП - DACL, DAC-R и DAC-SW и поступает на выходы микросхемы. Кроме того, имеется выход цифровых аудиоданных DCSOUT, и возможность программным способом указать, с какого узла ЦСП подать на него сигнал.

Также в микросхеме имеется коммутатор (MCLK MUX) одного из трех сигналов опорной частоты (MCLK0 - MCLK2). Из них внутренний генератор микросхемы (MCLK GENERATOR) формирует внутреннюю опорную частоту с задаваемым программно отношением к выбранной внешней частоте. Это позволяет использовать цифровые аудиоданные от источников, тактируемых разными опорными частотами. Опорная частота должна быть в 256 или 512 раз выше частоты дискретизации. Установленная внутренняя опорная частота подается на выход MCLKOUT. Есть одно необходимое условие: в

момент внутренней инициализации ЦСП опорная частота должна обязательно присутствовать на входе MCLK0 в течение как минимум 1024 циклов после окончания сигнала сброса (RESETB). Это связано с тем, что в указанное время ЦСП не воспринимает внешние сигналы управления. При этом происходит запись всех коэффициентов из внутреннего ПЗУ (ROM) в ОЗУ (RAM). Все управление микросхемой осуществляется

при помощи последовательного интерфейса SPI. Общее количество регистров управления - 1024. Имеется возможность как записывать параметры в ЦСП, так и считывать данные из него.

Теперь посмотрим на путь прохождения сигнала через ЦСП - **рис. 14**. Изначально сигнал левого и правого канала поступает на фильтр инфранизких частот (HPF) и фильтр передискажения (DEEMPH). Затем следует блок эквалайзера (EQ AND CROSSOVER FILTERS), в котором установлено по 7 БИХ фильтров для каждого канала. Пять коэффициентов для каждого из 14-ти фильтров позволяют управлять его частотой, добротностью и усилением. Затем

сумматор (SUB CHANNEL L/R MIX) формирует из сигналов левого и правого каналов сигнал для канала сабвуфера. Кроссоверы (CROSSOVER), установленные в каждом из каналов, позволяют отфильтровать «лишние» частоты. Затем в каждом из трех каналов установлены регуляторы громкости (VOLUME). В тракте левого и правого каналов установлена схема расширения стереобазы - PHAT STEREO, а также цепи задержки (DELAY). После этого сигнал левого и правого каналов поступает на компрессор (L/R DYNAMIC PROCESSOR), имеющий общий канал управления. Затем следуют сумматоры (Σ), позволяющие «вернуть» в основные каналы сигнал из канала сабвуфера, цифровые фильтры с 8-ми кратной передискретизацией, и цифро-аналоговые преобразователи (DAC). В канале сабвуфера установлены: компрессор (SUB DYNAMIC PROCESSOR), цепь задержки (DELAY) и цифро-аналоговый преобразователь (DAC). Теперь вкратце о других специализированных микросхемах, установленных в блоке ЦСП. Микросхема AD1892 [2] - приемник сигналов AES/EBU/SPDIF и асинхронный преобразователь частоты дискретизации. При передаче цифровых аудиоданных может выступать лишь в режи-

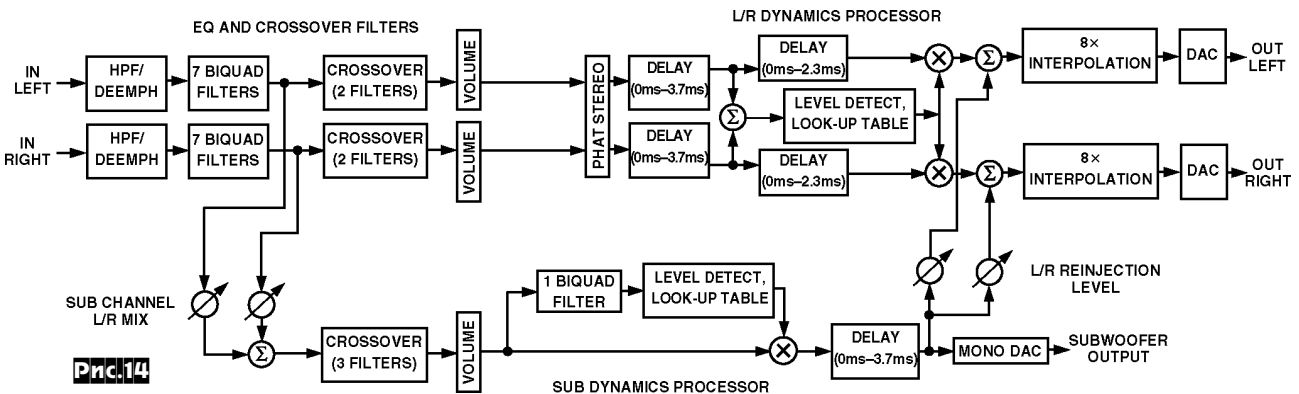
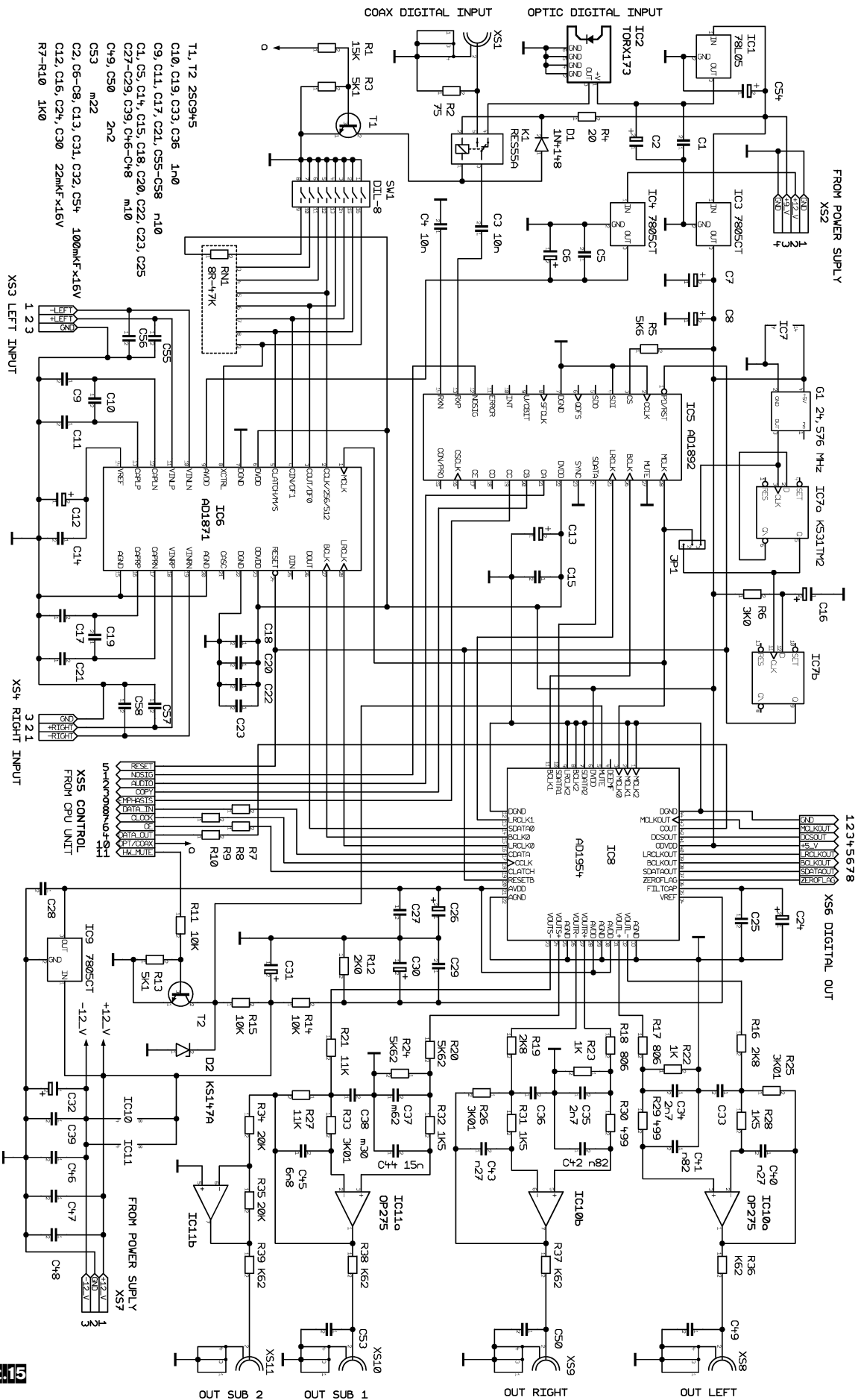


Рис.14



- T1, T2 2SC0945
- C10, C19, C33, C36 1n0
- C9, C11, C17, C21, C25-058 n10
- C1, C5, C14, C15, C18, C20, C22, C23, C25
- C27-C29, C39 C46-C48 m10
- C49, C50 2n2
- C53 m22
- C2, C6-C8, C13, C31, C32, C54 1000nF x16V
- C12, C16, C24, C30 220nF x16V
- R7-R10 1k0

Рис.15

ме «мастера»: микросхема сама формирует сигналы LRCLK и BCLK и подает их на последующие устройства. Может использоваться в режимах аппаратного или программного управления. В данной конструкции используется в аппаратном режиме. При этом: невозможно отключить внутренний преобразователь частоты дискретизации; частота опорного сигнала, подаваемого на вход MCLK должна быть в 512 раз выше частоты дискретизации; цифровые аудиоданные подаются на последующие устройства в формате I2S. Микросхема AD1871 [3] - аналогово-цифровой преобразователь. При передаче цифровых аудиоданных может выступать как в режиме «мастера», так и в режиме «подчиненного»: выводы сигналов LRCLK и BCLK могут быть как выходами, так и входами. Может использоваться в режимах аппаратного или программного управления. В данной конструкции используется в аппаратном режиме. При этом: возможно выбрать один из четырех форматов цифровых аудиоданных, подаваемых на выход; выбрать соотношение частоты опорного сигнала и частоты дискретизации (256/512); и выбрать режим «мастера»/«подчиненного». Обе приведенные выше микросхемы позволяют более гибко использовать их возможности в режиме программного управления, но это усложняет код процессора управления, а автор, увы, еще не слишком искусен в этом.

Теперь рассмотрим собственно схему блока ЦСП (рис. 15). Входной сигнал на ЦСП может быть подан двумя способами. Во-первых, цифровым. Цифровой поток SPDIF, например, от проигрывателя компакт-дисков может быть подан на гнездо коаксиального входа XS1, или на интегральный оптический приемник IC2. Выбор источника цифрового потока в данном случае осуществляется реле K1, управляемым транзистором T1 по сигналу от блока управления. Выбранный сигнал подается на ИМС IC5, которая преобразует транспортный протокол AES/EBU/SPDIF во внутренний I2S, подаваемый на ИМС ЦСП IC8. Одновременно осуществляется преобразование частоты дискретизации. Выходная FS жестко определяется делением на 512 частоты опорного сигнала, подаваемой на вывод MCLK, и в данном усилителе составляет 48 кГц. Частота дискретизации входного цифрового сигнала может быть любой в пределах от 8 до 48 кГц. Для подачи аналогового сигнала на ЦСП используется второй способ. Для этого применяется ИМС аналогово-цифрового преобразователя IC6. На ее входы в дифференциальном виде подается аналоговый сигнал от коммутатора аналоговых источников. Микросхема преобразует его в цифровой сигнал формата I2S с частотой дискретизации 48 кГц и разрядностью 24 бита, подаваемый на микросхему ЦСП IC8. Внутренний коммутатор IC8 осуществляет переключение цифровых аудиоданных, поступающих от IC5 или IC6. Полученный сигнал обрабатывается ЦСП, подается на внутренние цифро-аналоговые преобразователи и затем на выход микросхемы. Всё управление микросхемой IC8 (выбор источника сигнала, алгоритмы его обработки, основные и вспомогательные режимы) осуществляется процессором блока управления по шине SPI. На микросхемах IC10a, IC10b и IC11a выполнены суммирующие ФНЧ для выходов левого, правого и сабвуферного каналов. Номиналы элементов фильтров взяты из [1] в соответствии с рекомендациями изготовителя. Микросхема IC11b инвертирует сигнал сабвуфера. Это позволяет подключить к выходам OUT SUB1 и OUT SUB2 входы двух отдельных усилителей мощности, а к их сигнальным выходам провода от пассивного сабвуфера, как показано на рисунке, что дает нам мостовое включение (на случай, если Вы любите «развлекать» соседей). Сигнал на выводе 5 IC8 под управлением транзистора T2 управляет функцией аппаратного «приглушения» микросхемы. При подаче «1» на контакт 11 разъема XS5 транзистор открывается, при этом сигнал на выходы левого, правого и сабвуферного каналов поступает нормально, при уровне «0» - сигнал на выходах микросхемы выключается. Использование специализированных микросхем места творчеству не оставляет (микросхемы IC5, IC6 и IC8 в типовых схе-

мах включения, рекомендованных изготовителем). Питание на плату подается от отключаемого блока питания как на разъем XS2, так и на разъем XS7. Интегральные стабилизаторы IC1, IC3, IC4 и IC9 формируют питающие напряжения для цифровых микросхем. Кстати, использование мощного стабилизатора 7805CT оправдано только в позиции IC3, в остальных может быть использован маломощный стабилизатор 78L05. Интегральный генератор G1 формирует опорную частоту MCLK, равную 512FS (частота дискретизации). Частота дискретизации в данном усилителе составляет 48 кГц, следовательно, генератор используется на частоту 24,576 МГц. При этом «джампер» JP1 установлен в положение 2-3. Триггер IC7a и позиция 1-2 «джампера» JP1 используются в случае, если установлен кварц на частоту 49,152 МГц. Триггер IC7b, резистор R6 и конденсатор C16 формируют сигнал сброса (активный уровень - «0»). Резисторная сборка RN1 и DIP-переключатели SW1 служат для выбора режима работы микросхемы IC6 в соответствии с приводимой таблицей 3 («галочкой» отмечены параметры, установленные в данном усилителе).

Таблица 3

№ выв. IC6	Название	Назначение	Логический уровень на выводе	
			«0»	«1»
8	XCTRL	Режим управления ИМС	Программное	Аппаратное v
2	256/512	Отношение MCLK/FS	256	512 v
5	M/S	Режим выводов LRCLK, BCLK	«мастер» v	«подчиненный»
3	DF0	Выбор формата цифровых аудиоданных на выходе	См. таблицу ниже	
4	DF1			

Выбор формата цифровых аудиоданных на выходе IC6:

DF1	DF0	Формат данных
0	0	I2S v
0	1	Right-Justified (правостороннее выравнивание)
1	0	DSP *
1	1	Left-Justified (левостороннее выравнивание) *

***ПРИМЕЧАНИЕ:** при проверке реального усилителя оказалось, что теория расходится с практикой. При установке формата данных I2S, отмеченного галочкой, ЦСП отказывался понимать цифровой поток от АЦП. На выходах усилителя присутствовал слабый искаженный сигнал. С другой стороны, все прекрасно работало при установке режимов, отмеченных «звездочкой». С чем это связано объяснить не могу. Но, что интересно и весьма полезно, микросхема IC6 допускает изменение установок «на лету». Отдельно необходимо сказать о резистивном делителе R12, R14. Формируемое им напряжение смещения является опорным для цифроаналоговых преобразователей ИМС IC8. Номинальное значение - 2,25 Вольта. При изменении уровня на выводе 34 (VREF) IC8, изменяется уровень выходного сигнала всех ЦАП. Следовательно, требования к стабильности указанного напряжения жесткие. С другой стороны, если микросхема AD1954 установлена в одном корпусе с усилителем мощности (УМ), в [1] предлагается формировать напряжение смещения при помощи резистивного делителя, запитанного от источника питания выходных каскадов УМ. Для этого нижний по схеме вывод резистора R14 необходимо отключить от источника +12 Вольт и подключить к источнику питания УМ. Номинал резистора R14 необходимо пересчитать, чтобы напряжение на выводе 34 IC8 составляло 2-2,25 Вольта. При этом, когда уровень сигнала на выходе УМ большой, напряжение источника питания выходного каскада «проседает», и следовательно, снижается напряжение смещения AD1954. Уровень выходного сигнала AD1954 также снижается. Все вместе это дает аналог цепи «мягкого ограничения» (Soft Clipping). Необходимо только, чтобы конденсаторы, под-

Таблица 4

№ конт. XS2	Назначение	Потребляемый ток
1	ОБЩИЙ	-
2	+ 12 Вольт от отключаемого блока питания	< 50 мА
3	+ 9 Вольт от отключаемого блока питания	< 350 мА
4	ОБЩИЙ	-
№ конт. XS7		
1	+ 12 Вольт от отключаемого блока питания	< 75 мА
2	ОБЩИЙ	-
3	- 12 Вольт от отключаемого блока питания	< 25 мА

ключенные к выводу 34 IC8, эффективно подавляли сигналы звуковых частот, проникающие из цепей питания. Назначение выводов в разъемах XS1, XS8 - XS11 вопросов не вызывает. На разъемы XS2 и XS7 поступает питание от отключаемого блока питания в соответствии с **табл. 4**

На разъемы XS3 и XS4 поступает аналоговый сигнал от коммутатора аналоговых источников - **табл. 5**.

На разъем XS5 поступают команды от блока управления и выведены сигналы от цифрового приемника, используемые для индикации его состояния - **табл. 6**.

ПРИМЕЧАНИЕ*: Вывод сигнала RESET предполагалось использовать для контроля процессором управления окончания аппаратного сброса ЦСП при включении питания усилителя. В последствии нужды в этом не оказалось - задержка в управляющей программе перед началом «внешней» инициализации ЦСП превышает время, требующееся для его «внутренней» инициализации. Разъем XS6 предназначен для дальнейшего усовершенствования усилителя. На него выведены сигналы цифровых выходов - **табл. 7**. К ним могут быть подключены дополнительные ЦАП или формирователи SPDIF сигнала. Например, если использовать сигнал SDATAOUT, то на выходе ЦАП мы получим сигнал, именуемый в усилителях REC OUT, а на выходе формирователя SPDIF сигнал цифрового выхода на запись для MD или CD рекордера. Сигнал с вывода DCSOUT после формирователя

Таблица 5

№ конт. XS3	Название цепи	Куда подключен в коммутаторе аналоговых источников	
		Разъем	№ конт.
1	- LEFT	XS8	3
2	+ LEFT	XS8	2
3	GND	XS8	1
№ конт. XS4			
1	- RIGHT	XS9	3
2	+ RIGHT	XS9	2
3	GND	XS9	1

Таблица 6

№ конт. XS5	Название цепи	Назначение цепи	Куда подается		
			Блок	Разъем	№ конт.
1	NOSIG	Вывод цифрового приемника: «0» - сигнал на входе есть, «1» - сигнала на входе нет.	ПЛАТА ИНДИКАЦИИ	XS1	1
2	AUDIO	Вывод цифрового приемника: «0» - на входе не аудио данные, «1» - на входе аудио данные.	ПЛАТА ИНДИКАЦИИ	XS1	2
3	COPY	Вывод цифрового приемника: «0» - в аудио данных бит защиты авторских прав сброшен, копирование разрешено, «1» - в аудио данных бит защиты авторских прав установлен, копирование запрещено.	ПЛАТА ИНДИКАЦИИ	XS1	3
4	DATA_OUT	Выход данных из блока ЦСП по шине SPI к процессору управления.	БЛОК УПРАВЛЕНИЯ	XS5	1
5	RESET	*Резервный	-	-	-
6	CE	Сигнал выбора кристалла шины SPI.	БЛОК УПРАВЛЕНИЯ	XS3	1
7	CLOCK	Тактовый сигнал шины SPI	БЛОК УПРАВЛЕНИЯ	XS5	5
8	DATA_IN	Вход данных и команд по шине SPI от процессора управления.	БЛОК УПРАВЛЕНИЯ	XS5	2
9	EMPHASIS	Вывод цифрового приемника: «0» - в аудио данные при записи были введены предискажения, «1» - в аудио данных предискажения отсутствуют.	БЛОК УПРАВЛЕНИЯ	XS3	2
10	OPT/COAX	Переключение оптического/коаксиального цифрового входа («0» - оптический, «1» - коаксиальный).	БЛОК УПРАВЛЕНИЯ	XS3	3
11	HW_MUTE	Запирание аналоговых выходов: «0» - аналоговые выходы отключены, сигнал на выходах отсутствует, «1» - аналоговые выходы включены.	БЛОК УПРАВЛЕНИЯ	XS3	4

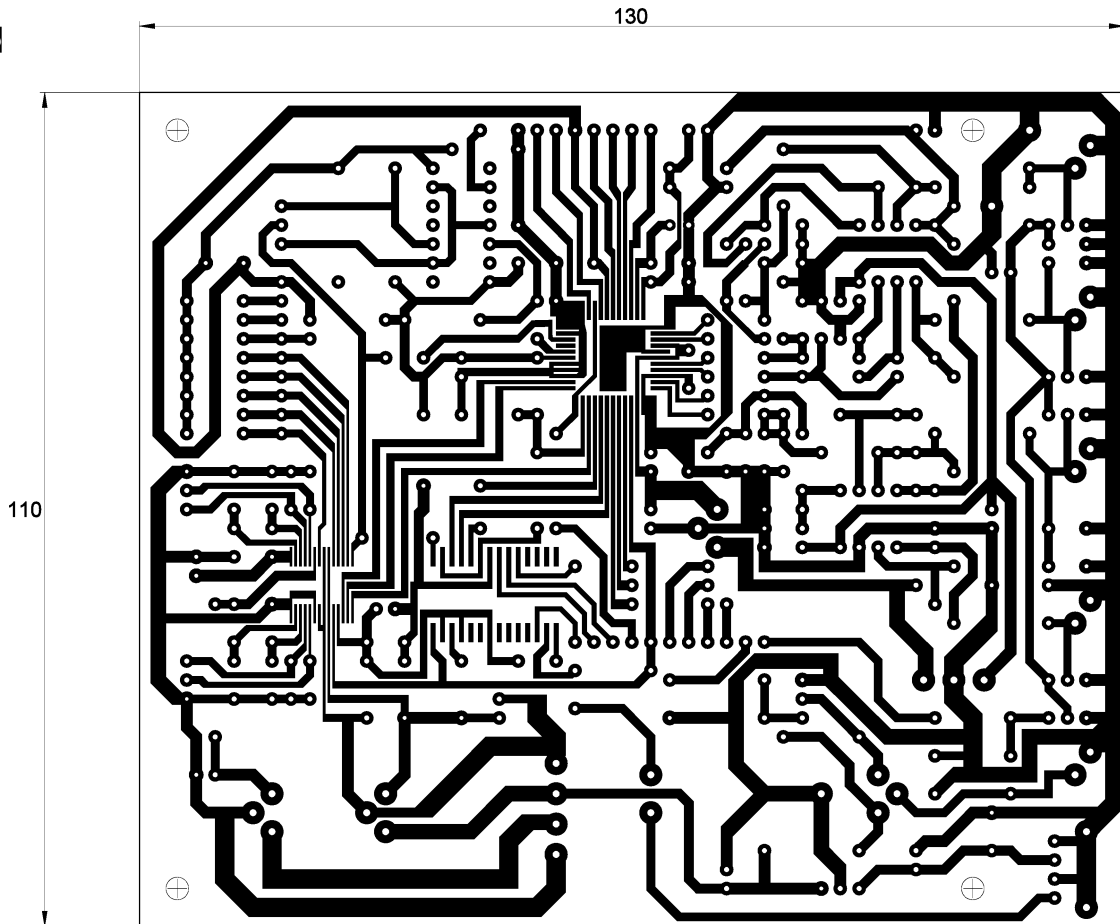
Таблица 7

№ конт. XS6	Название цепи	Назначение цепи
1	GND	«Земля»
2	MCLKOUT	Выход опорной частоты - 512.FS
3	DCSOUT	Выход цифровых аудиоданных из ядра ЦСП
4	+5_V	Выход + 5 Вольт, отключаемый при выключении усилителя. Для питания внешних устройств его лучше не использовать, а использовать лишь как управляющий сигнал.
5	LRCLKOUT	Выход тактового сигнала левый/правый канал
6	BCLKOUT	Выход тактового сигнала на каждый бит аудиоданных
7	SDATAOUT	Выход цифровых аудиоданных после коммутатора цифровых входов
8	ZEROFLEG	Индикация отсутствия цифровых аудиоданных на ЦСП в течение 1024 тактов

SPDIF может быть подан на цифровой вход усилителя мощности (например, фирма Meridian выпускает активную акустику со встроенными усилителями и цифровыми входами).

Плата блока ЦСП выполнена из двухсторонне-фольгированного стеклотекстолита. Расположение проводников на одной стороне платы показано на **рис. 16**. Со стороны деталей фольга оставлена в качестве экрана. Расположение деталей на плате показано на **рис. 17**. Крестиком отмечены выводы, припаяваемые к фольге-экрану. Остальные отверстия необходимо раззенковать. Переключки, не имеющие контакта с экраном, должны быть либо изолированными, либо припаяны над поверхностью платы. Микросхемы IC5, IC6 и IC8 устанавливаются со стороны печатных проводников. Резистор R22 при разводке платы автором по ошибке был пропущен, поэтому он припаявается со стороны печатных проводников параллельно конденсатору C34. О деталях. Реле K1 - РЭ-С55А с паспортом 602, 607, 627 или 632 (сопротивление обмотки 377 Ом, рабо-

Рис.16



чее напряжение 7,2 В) [15]. Альтернатив использованным микросхемам (кроме «операционников» и D-триггера), увы, нет. Если установлен кварцевый генератор на частоту 24,576 МГц, D-триггер может быть не таким быстродействующим (серии 555, 1533). Точность номиналов резисторов и конденсаторов в цифровой части схемы и блокирующих конденсаторов в цепях питания $\pm 20\%$. Точность «обвески» микросхем суммирующих фильтров IC10a, IC10b и IC11a чем выше, тем лучше. Это в первую очередь обусловлено не точностью установки частоты среза (в основных каналах она составляет 100 кГц, а в сабвуферном - 1 кГц), а необходимостью минимизировать нелинейные искажения. Кроме того, согласно [1], емкости конденсаторов суммирующего фильтра сабвуферного канала составлены из двух конденсаторов, включенных параллельно. На плате предусмотрены места для установки двух конденсаторов. Рекомендованные в [1] номиналы указаны в приводимой **таблице 8**.

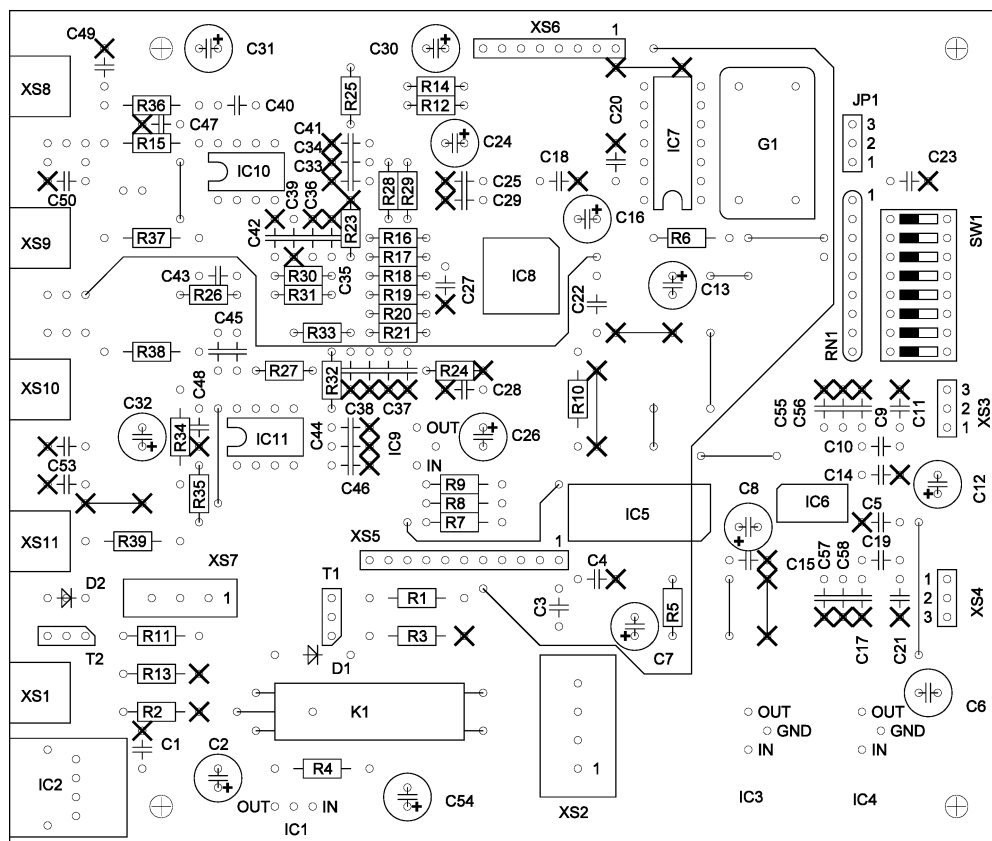


Рис.17

Таблица 8

Поз. № на схеме	Номиналы конденсаторов	
	Первый	Второй
C37	560 нФ	56 нФ
C38	270 нФ	27 нФ
C44	15 нФ	150 пФ
C45	6,8 нФ	68 пФ
C53	220 нФ	2,2 нФ

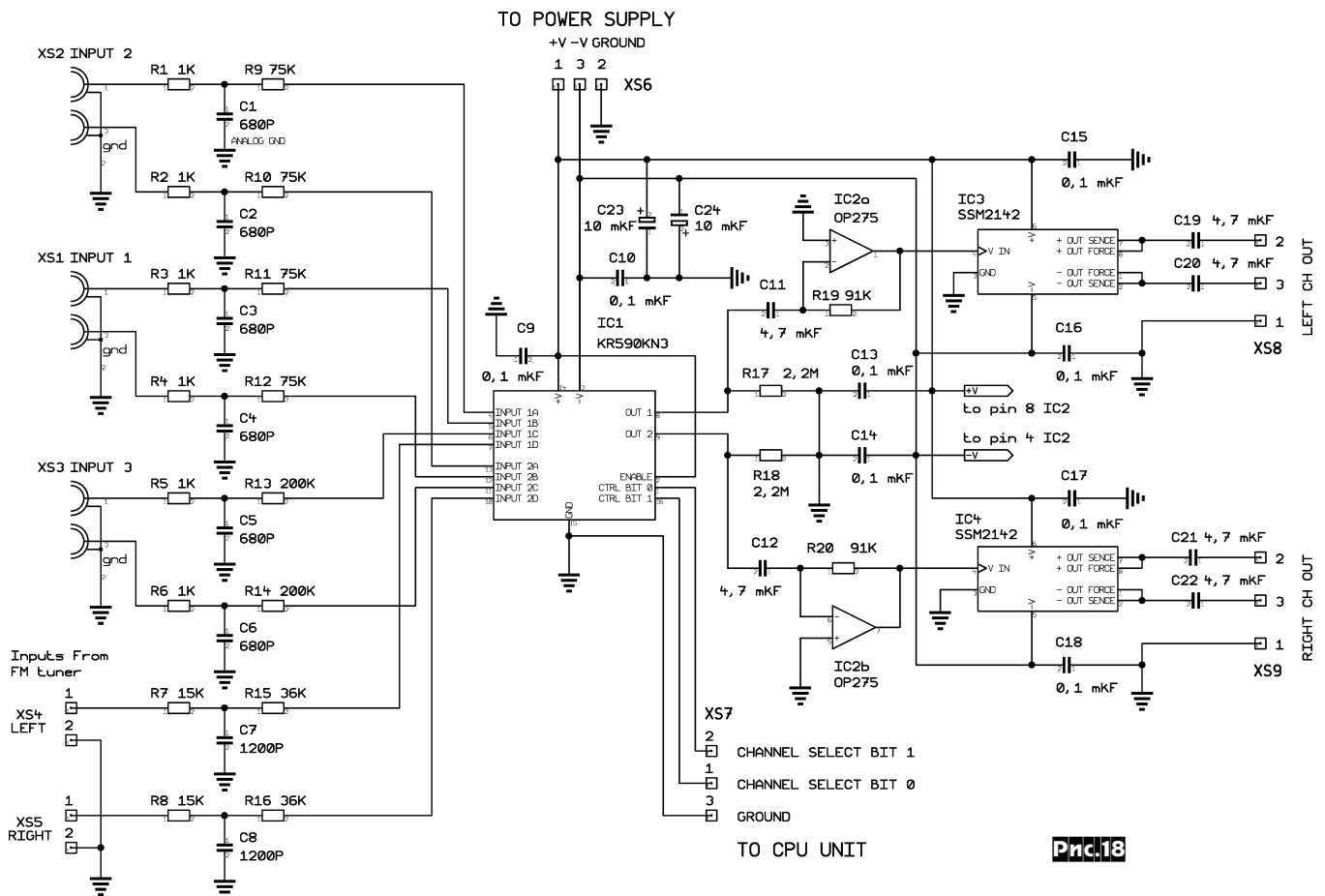
Коммутатор аналоговых источников. Собственно, использованная схема коммутатора (рис. 18) впервые была опубликована в [7]. Затем была предпринята первая попытка перевести ее на отечественную элементную базу [8]. Затем была третья ее версия [9]. В предлагаемой схеме в качестве коммутатора использована микросхема КР590КН3, имеющая внутри два коммутатора 4-в-1 и внутренний дешифратор сигналов управления, что облегчает ее использование при управлении от процессора по сравнению с ранее использовавшимися коммутирующими элементами. Дешифратор позволяет при помощи двух управляющих сигналов выбирать один из четырех входов. Данная схема коммутатора автором неоднократно использовалась при изготовлении различных усилителей, и всегда с хорошим результатом. Поэтому в предлагаемом ресивере было использовано проверенное решение. Для тех, кто в поиске совершенства не останавливается ни перед чем, можно предложить использовать микросхему SSM2404 [10], характеристики которой по данным изготовителя просто «улетные» (сопротивление открытого канала - 28 Ом, коэффициент гармоник - 0,0008%, ослабление сигнала выключенного канала - 100 дБ). Правда, дешифратора сигналов управления в ней нет. В качестве усилителя в коммутаторе использован спаренный «операционник» от AD - OP275 [13], имеющий отличные аудиофильские характеристики. Судите сами:

- Уровень шумов 6нВ/√Гц
- Коэффициент гармоник 0,0006%
- Скорость нарастания напряжения 22 В/мкс
- Частота единичного усиления 9 МГц
- Напряжение смещения нуля 1мВ
- Устойчивость при $K_U=1$.

Использование микросхем IC3 и IC4 - вынужденная мера. Дело в том, что микросхема АЦП AD1871 в ресивере используется в режиме аппаратного управления. При этом она может работать только с дифференциальным сигналом на входе. Конечно, можно «городить целый огород», как это сделано в [11]. Другой вариант решения предлагает сама Analog Devices в справочных данных на AD1871 - рисунок Figure 23 [3]. А с другой стороны, использованная микросхема SSM2142 от Analog Devices [12], имеет такие характеристики:

- Коэффициент гармоник 0,006%
- Скорость нарастания напряжения 15 В/мкс
- Разбаланс дифференциальных выходов 0,7%
- Защита выходов от короткого замыкания.
- Корпус DIP-8, минимум «обвески».

К недостаткам микросхемы можно отнести сравнительно большое напряжение смещения нуля на выходе до ±250 мВ. В приводимой схеме указанный недостаток нейтрализуется конденсаторами C19 - C22. Остальные детали схемы имеют вполне понятное назначение. Резисторы R17 и R18 предназначены для поддержания постоянного напряжения смещения конденсаторов C11 и C12, и в разных версиях схемы имеют сопротивление от 1 до 2,2 МОм. В этой схеме их сопротивление также может находиться в указанных пределах. Небольшое отступление для тех, кто не повторяет чужие конструкции, а на их основе создает что-то свое. Если указанную микросхему АЦП - AD1871 использовать в режиме программного управления, то она одна справится с коммутацией и регулировкой уровня (входной аттенюатор) трех стерео источников сигнала - одного дифференциального и двух обычных, при этом фаза одного из двух несимметричных источников будет повернута на 180°. Теперь по поводу уровней. Плясать при этом будем от «печки». Оцифровывать аналоговый сигнал - очень даже нелпохо, пока не доберешься до



AUDIO

максимального входного напряжения АЦП. После этого сказать слово «искажения» - не сказать ничего. У использованного АЦП максимальное входное напряжение - 2,828 В (абсолютное значение). То есть, делим на $\sqrt{2}$ и получаем 2 В эффективных. Микросхема дифференциального выхода SSM2142 имеет фиксированное усиление +6 дБ или 2 раза. Следовательно, чтобы не перегрузить АЦП, максимальное напряжение на ее входе - 1 В (эффективное значение). Исходя из этого, и было выбрано усиление микросхемы входного коммутатора (благо, инвертирующее включение операционного усилителя позволяет сделать его различным для различных входов). Итак, для входа тюнера максимальное входное напряжение равно $1\text{В} \cdot (R7+R15)/R19=560\text{ мВ}$ (в документации на тюнер указано, что его номинальное выходное напряжение составляет 500 мВ). Для входов Input 1 и Input 2 максимальное входное напряжение равно 830 мВ (чуть более 0 дБ). Вход Input 3 рассчитан на подключение источников с выходным напряжением 2 В (проигрыватель компакт-дисков и т.п.). Разъемы XS1 - XS5 являются входами. Тут все просто (сигнальный/«земля»). На разъем XS6 подается питающие напряжения от отключаемого блока питания - **табл. 9**.

На разъем XS7 приходят сигналы от управляющего процессора, комбинация которых определяет номер выбранного входа - **табл. 10**.

Таблица 9

№ конт. XS6	Назначение	Потребляемый ток
1	+ 12 Вольт от отключаемого блока питания	< 35 мА
2	Общий	-
3	- 12 Вольт от отключаемого блока питания	< 35 мА

№ конт. XS8	Название цепи	Куда подключен в блоке ЦСП	
		Разъем	№ конт.
1	GND	XS3	3
2	+ LEFT	XS3	2
3	-LEFT	XS3	1
№ конт. XS9			
1	GND	XS4	3
2	+ RIGHT	XS4	2
3	-RIGHT	XS4	1

№ конт. XS7	Название цепи	Назначение цепи	Куда подается		
			Блок	Разъем	№ конт.
1	CHANNEL SELECT BIT 0	Вход управления коммутатором аналоговых входов.	БЛОК УПРАВЛЕНИЯ	XS3	5
2	CHANNEL SELECT BIT 1	Вход управления коммутатором аналоговых входов.	БЛОК УПРАВЛЕНИЯ	XS3	6
3	GND	«Земля»	-	-	-

Разъемы XS8 и XS9 являются выходными - сигнал с них подается на входы АЦП блока ЦСП - **табл. 11**:

Плата коммутатора аналоговых источников выполнена из односторонне-фольгированного стеклотекстолита. Расположение проводников на ней показано на **рис. 19**, а расположение деталей на **рис. 20**.

(Окончание следует)

Рис.19

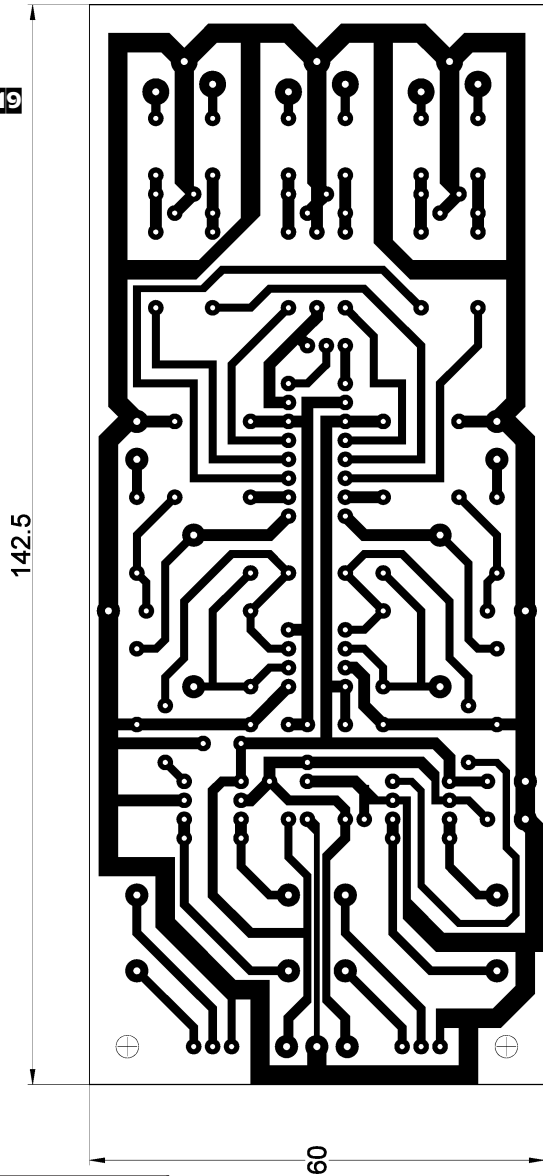


Таблица 11

Таблица 10

Рис.20

